

Tema: Retardos en Circuitos Integrados: Análisis de casos utilizando *Standard Cells*

Objetivos: Comprensión de un manual técnico de FPGAs

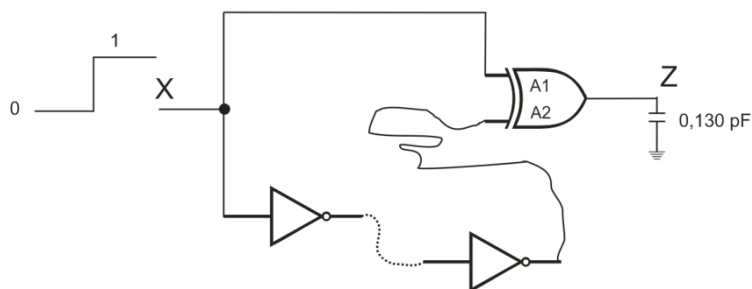
Bibliografía: Apuntes de clases. Hoja de datos *Standard Cells* Atmel

© eduardo.boemo@uam.es

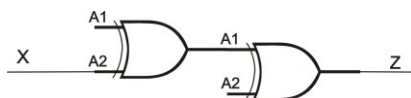
Problemas recomendados

Observación: En todos los problemas en que no se indique el *driving* de la célula, elija la de menor valor. También deben usarse sólo 3 decimales para los cálculos y resultados.

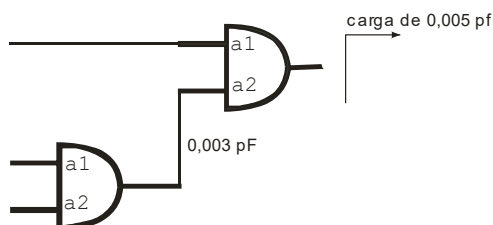
1. Porqué el retardo de una célula se especifica con dos partes, una expresada en ns y otra en ns/pF
2. Calcule el retardo máximo de la XOR de menor *fanout*. Considere todos los casos y que es cargada con 0,003 pF.
3. Una AND debe manejar una carga de 0,300 pF. El/la diseñador/a se plantea utilizar una and02d0 o una and02d4? Se pide hallar cuanto más rápida es una puerta que otra, para el peor caso. Expresé el resultado como un factor (por ejemplo, es 1,3 veces más rápida).
4. Un diseñador/a inexperto/a quiere retrasar una señal lo más cercano a 2 ns (por encima de este valor) pasándola por inversores. ¿Cuántos inversores necesita si el último soporta una carga igual al fanin de un inv?
5. ¿Qué es un *glitch*? Calcular el ancho del *glitch* a la salida del circuito de la derecha, si la cantidad de inversores es igual a 180. Utilice los datos correspondientes a las células de menor *fanout*.



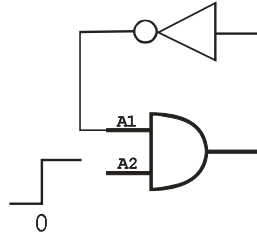
6. Calcular el retardo máximo entre X y Z. Considere que las entradas A1 y A2 que están “al aire” en el dibujo se conectan a “1” y que la salida Z soporta una carga de 0,008 pF



7. Calcular el retardo máximo del circuito de la figura considerando que la salida de la última puerta maneja una carga de 0,005 pF. Considere despreciable las capacidades de pista. Considere que la entrada a1 de la AND superior siempre está a 1.

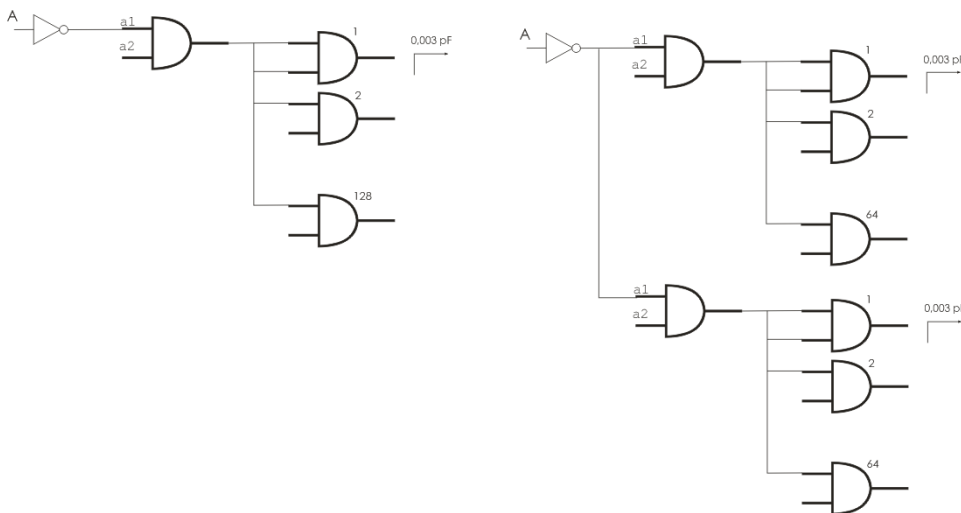


8. En $t=0$ una señal pasa de 0 a 1 en una AND conectada a un INV. Dibuje la forma de onda a la salida de la AND, indicando el valor numérico con 3 decimales (y redondeo) de los instantes en que cambia dicha salida. Nota: Utilice las células de menor *fanout*.



9. Una técnica para aumentar la velocidad de un circuito consiste en duplicar una función lógica (en este caso una AND) y disminuir su carga a la mitad. Por ejemplo, el circuito de la gráfica izquierda tiene 128 ANDs conectadas a una AND, mientras que el circuito de la gráfica derecha tiene 64 ANDs en cada rama. Se pide calcular el retardo entre A y la salida de las últimas ANDs para ambos circuitos. Calcular cuántos ns se gana con la técnica en el peor de los casos. Considere que:

- Las ANDs que manejan 128 o 64 puertas tienen *driving* 4x
- Las AND finales tienen *driving* mínimo
- La pata superior de las AND es a1 y la inferior a2.
- Las AND finales manejan cada 0,003 pF
- La entrada a2 de cada AND es "1".
- La capacidad de las pistas es cero.



10. Un diseñador decide generar un reloj interno con tres inversores formando un lazo (llamado *ring-oscillator*) como el que se muestra en la figura. Observe que la salida es "bufereada" (¿por qué?) y que se incluye una AND en el lazo (¿por qué?). Calcule la frecuencia f_{out} a la que oscilará el circuito para condiciones nominales de temperatura y tensión. Considere que la capacidad de interconexión de cada nodo vale 0.05 pF y que el *buffer* tiene un *fanin* de 0,003 pf.

